

DRIVING METHOD FOR SOLID-STATE IMAGE PICKUP DEVICE

Publication number: JP10178588

Publication date: 1998-06-30

Inventor: TANABE AKITO

Applicant: NIPPON ELECTRIC CO

Classification:

- International: H01L27/148; H04N3/15; H04N5/335; H01L27/148;
H04N3/15; H04N5/335; (IPC1-7): H04N5/335;
H01L27/148

- European: H04N3/15F; H01L27/148A2; H01L27/148A2S;
H01L27/148C4; H01L27/148M

Application number: JP19960338432 19961218

Priority number(s): JP19960338432 19961218

Also published as:



US6445414 (B1)

US2002057356 (A)

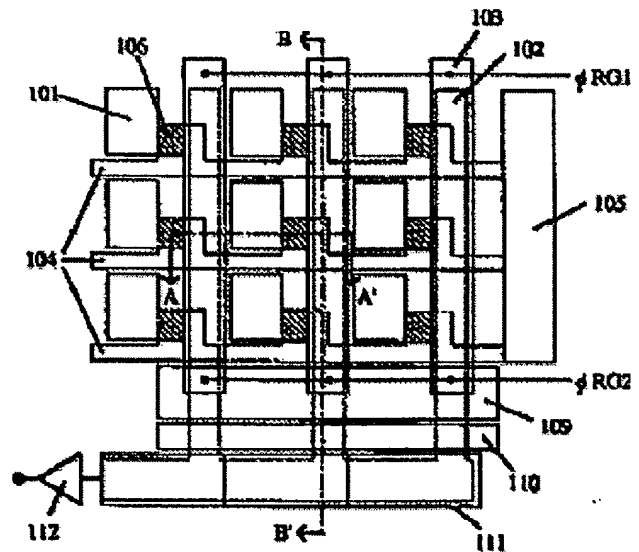
CN1191386 (A)

CN1097315C (C)

Report a data error he

Abstract of JP10178588

PROBLEM TO BE SOLVED: To prevent the reset drain voltage of an output from being high even though the read potential of a photodiode becomes high by making the signal potential of a vertical charge transfer channel of a terminal part that is far from a horizontal register at the time of transferring the signal charge lower than when the signal potential is read. **SOLUTION:** Channel potential of a 1st terminal part which is far from a horizontal register of a vertical resistive gate charge transfer element is higher than the potential of a on state of a 1st transfer gate 106. After signal charge that is accumulated in each photodiode 101 is read to the vertical resistive gate charge transfer element, the gate 106 is turned off. The channel potential of the 1st terminal part of the vertical resistive gate charge transfer element is lower than when signal charge is read from the photodiode 101, higher than the off potential of the gate 106 and lower than the channel potential of a 2nd terminal part which is near the horizontal register, and the signal charge is transferred to an accumulating gate 109.



1/6

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-178588

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 4 N 5/335		H 0 4 N 5/335	F
H 0 1 L 27/148		H 0 1 L 27/14	B

審査請求 有 請求項の数 3 O L (全 11 頁)

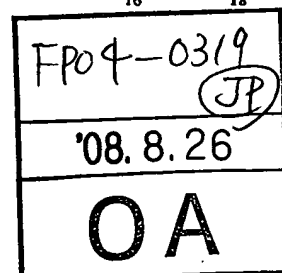
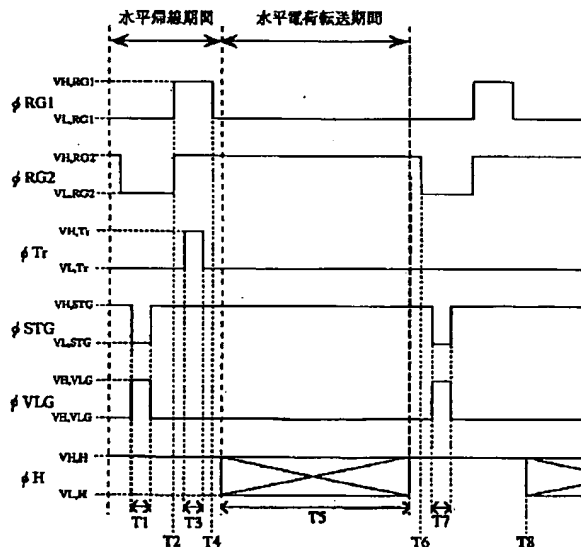
(21) 出願番号	特願平8-338432	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成8年(1996)12月18日	(72) 発明者	田邊 顕人 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 若林 忠

(54) 【発明の名称】 固体撮像素子の駆動方法

(57) 【要約】

【課題】 フォトダイオード (P D) の読出し電位が高くなっても出力のリセットドレイン電圧が高くなならない、または、駆動パルスの振幅が大きくなならない垂直抵抗性ゲート電荷転送素子 (V R G C T D) を持つ固体撮像素子の駆動方法。

【解決手段】 二次元に配列された P D に蓄積された信号電荷をトランスファーゲート (T G) を介して複数の V R G C T D で垂直方向に複数の蓄積ゲートへ転送して蓄積し、更に水平レジスタ (H R) に転送し、H R を経て信号電荷を電圧に変換する固体撮像素子において、V R G C T D の、H R から遠い端部の電位を、T G のオン状態の電位よりも高くして、P D に蓄積された信号電荷を V R G C T D に読み出した後、T G をオフし、V R G C T D の端部の電位を、P D から信号電荷を読み出す時よりも低く、かつ T G のオフ電位よりも高く、かつ H R に近い端部の電位よりも低くして、信号電荷を蓄積ゲートまで転送する。



【特許請求の範囲】

【請求項1】 二次元に配列されたフォトダイオードと、各フォトダイオードに蓄積された信号電荷の転送を受けこれを垂直方向に転送する複数の垂直抵抗性ゲート電荷転送素子と、前記フォトダイオードと垂直抵抗性ゲート電荷転送素子の間に配置され、フォトダイオードに蓄積された信号電荷の垂直抵抗性ゲート電荷転送素子への転送を制御する第1のトランスファergeートと、前記垂直抵抗性ゲート電荷転送素子の後段に配置され、該垂直抵抗性ゲート電荷転送素子より転送されてきた信号電荷を蓄積する複数の蓄積ゲートと、前記複数の蓄積ゲートに蓄積されている信号電荷を受けこれを水平方向に転送する水平レジスタと、前記水平レジスタの後段に配置され、該水平レジスタから転送されて信号電荷を電圧に変換する出力部と、を少なくとも有する固体撮像素子において、

前記垂直抵抗性ゲート電荷転送素子の、前記水平レジスタから遠い第1の端部のチャネル電位を、前記第1のトランスファergeートのオン状態の電位よりも高くして、各フォトダイオードに蓄積された信号電荷を前記垂直抵抗性ゲート電荷転送素子に読み出した後、前記第1のトランスファergeートをオフし、前記垂直抵抗性ゲート電荷転送素子の第1の端部のチャネル電位を、フォトダイオードから信号電荷を読み出す時よりも低く、かつ前記第1のトランスファergeートのオフ電位よりも高く、かつ前記水平レジスタに近い第2の端部のチャネル電位よりも低くして、信号電荷を前記蓄積ゲートまで転送することを特徴とする固体撮像素子の駆動方法。

【請求項2】 前記垂直抵抗性ゲート電荷転送素子の、前記水平レジスタから遠い第1の端部のチャネル電位を、前記第1のトランスファergeートのオン状態の電位よりも高く、かつ前記水平レジスタに近い第2の端部のチャネル電位と同じにして、各フォトダイオードに蓄積された信号電荷を前記垂直抵抗性ゲート電荷転送素子に読み出すことを特徴とする請求項1に記載の固体撮像素子の駆動方法。

【請求項3】 前記垂直抵抗性ゲート電荷転送素子と前記蓄積ゲートの間に第2のトランスファergeートを配置し、前記垂直抵抗性ゲート電荷転送素子の、前記水平レジスタから遠い第1の端部のチャネル電位を、前記第1のトランスファergeートのオン状態の電位よりも高くし、かつ前記第2のトランスファergeートをオフし、各フォトダイオードに蓄積された信号電荷を前記垂直抵抗性ゲート電荷転送素子に読み出した後第2のトランスファergeートをオンして信号電荷を前記蓄積ゲートまで転送することを特徴とする請求項1に記載の固体撮像素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は抵抗性ゲート電荷転

送素子を有する固体撮像素子の駆動方法に関する。

【0002】

【従来の技術】 現在、固体撮像素子として主にインターライン型の電荷結合素子（IT-CCD）が用いられている。このIT-CCDでは、フォトダイオード列に隣接して多数の転送電極で構成される垂直CCDがあり、全部または1つ置きにフォトダイオードに蓄積された信号電荷を垂直CCDに同時に読みだしている。そして、転送電極に転送パルスを加えることで、信号電荷を垂直CCD端にある水平CCDに転送している。

【0003】 このIT-CCDでは、全部または1つ置きにフォトダイオードに蓄積された信号電荷を蓄積できるだけの容量が垂直CCDに必要で、セルの縮小に伴いフォトダイオードの容量を確保することが困難になってくる。

【0004】 この問題を解決する方法として、多数の転送電極で構成された垂直CCDの代わりに、1つの抵抗性ゲートで構成された垂直電荷転送素子を用いた固体撮像素子が考案されている。（Hyndrik Heyns et al, "The Resistive Gate CTD Area-Image Sensor", IEEE Transaction on Electron Devices, Vol.ED-25, No.2, pp. 135-139, 1978.）この固体撮像素子では、抵抗性ゲートの両端に定電位差を与えて電荷転送チャネルを傾斜させ、信号電荷を転送する。各フォトダイオードの転送は行毎に行なわれるので、1本の垂直電荷転送素子は1つのフォトダイオードの信号電荷のみを転送すればよい。従って垂直電荷転送素子の容量を小さくすることができ、その分フォトダイオードの容量を大きくすることができる。以下、この固体撮像素子について詳しく説明する。

【0005】 図10は垂直抵抗性ゲート電荷転送素子を用いた固体撮像素子を示す平面図である。フォトダイオード1は、窓の開いた表面チャネルのMOS型でp型シリコン上に絶縁膜を介してポリシリコンからなる蓄積電極4が形成されている。蓄積電極に正の電圧を加えて電位井戸を形成し、そこに蓄積電極の上下領域で光生じた信号電荷を蓄積する。フォトダイオード列に隣接して垂直抵抗性ゲート電荷転送素子が形成され、これはP型シリコン中のnウェルで形成された電荷転送チャネル2と、その上に絶縁膜を介して高抵抗なポリシリコンからなる抵抗性ゲート3から構成される。垂直シフトレジスタ5でフォトダイオード行を選択して、フォトダイオード行に蓄積された信号電荷を電荷転送チャネル2に読み出す。抵抗性ゲートの両端に定電位を与える電圧RG-及びRG+を加えて、電荷転送チャネル2のチャネル電位を傾斜させ、信号電荷を水平CCD11の方向へ転送する。この例では電子が信号電荷であり、抵抗性ゲート端のうち水平CCDに近い方に与える電圧を遠い方の端よりも高くする。垂直抵抗性ゲートと水平CCDの間にそれぞれゲートTGA8、TGB10で隔てられて

蓄積ゲート9があり、TGAをオン、TGBをオフして、垂直抵抗性ゲート下の電荷転送チャンネルを転送されて来た信号電荷を蓄積ゲート9に蓄積する。次の水平帰線期間にTGBをオン、蓄積ゲートをオフして、信号電荷を蓄積ゲート9から水平CCDへと転送し、水平電荷転送期間に水平CCDで信号電荷を出力12まで転送して、電圧に変換して出力する。この他、フォトダイオードに蓄積された余剰電荷を掃き出すために、垂直抵抗性ゲート電極下端に電荷転送チャンネル2を分岐させ、ブルーミング抑制ゲート7及びブルーミング抑制ドレイン6が形成されている。

【0006】図11及び図12は画素の構成を説明するための、それぞれ平面図及び図11中のD-D'断面図である。p型シリコン15にp+チャンネルストップ14を形成し、フォトダイオードと電荷転送チャンネルを分離する。電荷転送チャンネルはnウェル13で構成され、その上に酸化膜17を介してポリシリコンからなる垂直抵抗性ゲート3を形成する。垂直抵抗性ゲート上に酸化膜18を形成した後に、ポリシリコンから成る蓄積電極4を形成する。フォトダイオードはp型シリコン上に酸化膜17を形成した構造で、受光領域は平面図で蓄積電極の上下の空乏化している領域である。フォトダイオードで光電変換された信号電荷は、蓄積電極4下の表面チャンネル型電位井戸に蓄積される。蓄積電極4上に酸化膜19を形成した後、アルミニウム等からなる遮光膜16を形成して、光が垂直電荷転送チャンネルに入射することを防止している。信号電荷を読み出すために、蓄積電極4下にp+チャンネルストップ14を含むようにnウェル13を形成する。この部分のチャンネルは埋め込み型でそのチャンネル電位は2V程度に設計され、フォトダイオードに蓄積された信号電荷は、図12中の矢印20のように電荷転送チャンネルに読み出される。

【0007】図13(a)、(b)は垂直抵抗性ゲート電荷転送素子を説明するための、それぞれ図10中のC-C'断面図及びチャンネル電位分布図である。p型シリコン15中にnウェル13を形成し、その上に酸化膜17を介して1層目のポリシリコンからなる垂直抵抗性ゲート3、蓄積ゲート9及び水平CCD電極25、さらに酸化膜18を介して2層目のポリシリコンからなるTGA8及びTGB10を形成する。垂直抵抗性ゲートの両端に定電位差を与える電圧RG-とRG+を印加して、転送チャンネルのチャンネル電位を傾斜させる。電圧RG+を電圧RG-よりも高くすることで、矢印で示したように水平CCD方向へ信号電荷21を転送する。垂直抵抗性ゲート電荷転送素子のチャンネル長が4mm、両端でのチャンネル電位差が10Vの場合、約20μsで電荷パケットを100%転送することができる。この時間はNTSC方式のテレビジョン方式での1水平走査時間63.5μsに比べて十分に小さい。TGA8をオン、TGB10をオフして、垂直抵抗性ゲート電荷転送素子を転送

されてきた信号電荷を蓄積ゲート9下に蓄積する。次の水平帰線期間にTGBをオン、蓄積ゲートをオフして、信号電荷を蓄積ゲート9下から水平CCDへと転送し、水平電荷転送期間に水平CCDで信号電荷を出力12まで転送して、電圧に変換して出力する。

【0008】図14は、図10に示した垂直抵抗性ゲート電荷転送素子を用いた固体撮像素子の駆動方法を説明するための図である。蓄積電極に印加するパルスをφSTE、ブルーミング抑制ゲートに印加するパルスをφAB、蓄積ゲートに印加するパルスをφSTG、垂直電荷転送チャンネルと接続されている水平CCDの電極に印加するパルスをφH、TGA及びTGBに印加されるパルスをそれぞれφTGA及びφTGB、あるフォトダイオード行を選択するために蓄積電極に更に印加するパルスをφSelectとする。

【0009】期間T1でTGBをオンし、蓄積ゲートの電位を低くすることで、前の水平帰線期間で読み出され蓄積ゲートに蓄積されている、フォトダイオード行の信号電荷を水平CCDに転送する。時刻T2でφSelectでマイナス方向の電圧パルスを蓄積電極に印加することで、次の1水平ラインのフォトダイオード行に蓄積された信号電荷を、対応する垂直電荷転送チャンネルに読み出すとともに、ブルーミング抑制ゲートをオフし、TGAをオンする。期間T3で水平CCDを駆動し、前フォトダイオード行の信号電荷を出力へ転送し電圧に変換して出力する。この間、垂直電荷転送チャンネルに読み出された信号電荷は、垂直抵抗性ゲートで形成された電位勾配により蓄積ゲートまで転送される。全信号電荷が蓄積ゲートに転送された後、時刻T4でブルーミング抑制ゲートをオン、TGAをオフする。これと同時にφSTEで蓄積電極の電位を時刻T2の時よりも減少させ、フォトダイオードの電位井戸の容量を減少させることで、各フォトダイオードに蓄積されている余剰電荷を垂直電荷転送チャンネルに掃き出す。余剰電荷は前述した信号電荷と同様に転送され、ブルーミング抑制ゲートを通してブルーミング抑制ドレインから掃き出される。時刻T5で蓄積電極の電位を時刻T2の値にもどし、フォトダイオードで発生する光生成電荷の蓄積動作を継続する。蓄積ゲート下に蓄積されている信号電荷は、前述したように次の水平帰線期間の期間T6に水平CCDに転送され、時刻T7から水平CCDで出力へ転送される。

【0010】

【発明が解決しようとする課題】図14に示した駆動方法では、ブルーミング抑制動作を行なうために、水平電荷転送期間に駆動パルスが印加されるので、出力波形にそのパルスが飛び込むという欠点がある。

【0011】この欠点は、例えば現在広く用いられている縦型オーバーフロードレインを有するフォトダイオードを用い、ブルーミングを起こす余剰電荷をフォトダイオードから基板に捨てることで解決することができる。

しかしこのフォトダイオードの読み出し電位は、従来例での表面チャンネルのMOS型と比較し高く、フォトダイオードの容量拡大や感度向上を図るとさらに高くなる。従って、従来例のように垂直抵抗性ゲートに定電位を与え、垂直電荷転送チャンネルの電位をフォトダイオードの読み出し電圧よりも高くする駆動方法を用いると、フォトダイオードの読み出し電圧が高くなるに従って、蓄積ゲート下あるいは水平CCDのチャンネル電位が高くなる。これらの電位が高くなると最終的に出力のリセットドレインの電圧が高くなるという欠点となる。一方、リセットドレインの電圧が高くならないような駆動を考えると、蓄積ゲートや水平CCD電極等に印加するパルスの振幅が大きくなるという欠点となる。

【0012】本発明は、上述の課題に鑑み、フォトダイオードの読み出し電位が高くなっても出力のリセットドレイン電圧が高くなったり、駆動パルスの振幅が大きくなるという欠点が生じない、垂直抵抗性ゲート電荷転送素子を有する固体撮像素子の駆動方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明によれば、二次元に配列されたフォトダイオードと、各フォトダイオードに蓄積された信号電荷の転送を受けこれを垂直方向に転送する複数の垂直抵抗性ゲート電荷転送素子と、前記フォトダイオードと垂直抵抗性ゲート転送素子の間に配置され、フォトダイオードに蓄積された信号電荷の垂直抵抗性ゲート電荷転送素子への転送を制御する第1のトランスファークゲートと、前記垂直抵抗性ゲート電荷転送素子の後段に配置され、該垂直抵抗性ゲート電荷転送素子より転送されてきた信号電荷を蓄積する複数の蓄積ゲートと、前記複数の蓄積ゲートに蓄積されている信号電荷を受けこれを水平方向に転送する水平レジスタと、前記水平レジスタの後段に配置され、該水平レジスタから転送されて信号電荷を電圧に変換する出力部と、を少なくとも有する固体撮像素子において、前記垂直抵抗性ゲート電荷転送素子の、前記水平レジスタから遠い第1の端部のチャンネル電位を、前記第1のトランスファークゲートのオン状態の電位よりも高くして、各フォトダイオードに蓄積された信号電荷を前記垂直抵抗性ゲート電荷転送素子に読み出した後、前記第1のトランスファークゲートをオフし、前記垂直抵抗性ゲート電荷転送素子の第1の端部のチャンネル電位を、フォトダイオードから信号電荷を読み出す時よりも低く、かつ前記第1のトランスファークゲートのオフ電位よりも高く、かつ前記水平レジスタに近い第2の端部のチャンネル電位よりも低くして、信号電荷を前記蓄積ゲートまで転送することを特徴とする固体撮像素子の駆動方法が提供される。

【0014】また、前記垂直抵抗性ゲート電荷転送素子の、前記水平レジスタから遠い第1の端部のチャンネル電

位を、前記第1のトランスファークゲートのオン状態の電位よりも高く、かつ前記水平レジスタに近い第2の端部のチャンネル電位と同じにして、各フォトダイオードに蓄積された信号電荷を前記垂直抵抗性ゲート電荷転送素子に読み出すことを特徴とする。

【0015】更に、前記垂直抵抗性ゲート電荷転送素子と前記蓄積ゲートの間に第2のトランスファークゲートを配置し、前記垂直抵抗性ゲート電荷転送素子の、前記水平レジスタから遠い第1の端部のチャンネル電位を、前記第1のトランスファークゲートのオン状態の電位よりも高くし、かつ前記第2のトランスファークゲートをオフし、各フォトダイオードに蓄積された信号電荷を前記垂直抵抗性ゲート電荷転送素子に読み出した後第2のトランスファークゲートをオンして信号電荷を前記蓄積ゲートまで転送することを特徴とする。

【0016】本発明の固体撮像素子の駆動方法によれば、垂直抵抗性ゲート電荷転送素子で信号電荷を転送する時に、水平レジスタから遠い端部の垂直電荷転送チャンネルのチャンネル電位を、信号電荷を読み出す時よりも低くできるので、蓄積ゲートや水平レジスタ電極の駆動振幅を大きくすることなく、出力のリセットドレイン電圧を低くできる。一方、出力のリセットドレイン電圧及び蓄積ゲートや水平レジスタ電極の駆動振幅を一定とした時には、垂直抵抗性ゲート電荷転送素子の電荷転送チャンネルの勾配を大きくすることができ、フレームレートを高めることができる。

【0017】

【発明の実施の形態】次に本発明の実施例について図面を参照して説明する。

【0018】図1は本発明の固体撮像素子の駆動方法を適用する固体撮像素子の概略平面図である。フォトダイオード101は縦型オーバーフロードレイン構造を持ち、ブルーミング抑制も行なう。このフォトダイオードが二次元に配置され、各フォトダイオード列に対応して垂直抵抗性ゲート電荷転送素子が形成される。これは、pウェル中のnウェルに形成された電荷転送チャンネル102と、その上に絶縁膜を介して高抵抗なポリシリコンからなる垂直抵抗性ゲート103から構成される。垂直電荷転送チャンネルはトランスファークゲート106を介してフォトダイオードと接続され、トランスファークゲートはトランスファークゲート電極104で制御される。トランスファークゲート電極に制御パルスを印加し、フォトダイオード行を選択するための垂直シフトレジスタ105があり、フォトダイオード行に蓄積された信号電荷を垂直電荷転送チャンネルに読み出す。垂直抵抗性ゲートの両端に電位パルスを印加する手段を有し、垂直電荷転送チャンネルのチャンネル電位を傾斜させ、電荷を水平CCD111の方向へ転送する。垂直抵抗性ゲート端には転送されてきた信号電荷を蓄積するための蓄積ゲート109があり、水平CCD111とは垂直最終ゲート110を介

して接続され、水平帰線期間に信号電荷を水平CCDに転送する。水平CCD端には出力112があり、水平電荷転送期間に水平CCDで転送された信号電荷を電圧に変換して出力する。

【0019】図2は、画素の構成を説明するための、図1中のA-A'断面図である。n型シリコン123に第1のpウェル115を形成する。垂直抵抗ゲート電荷転送素子は、この第1のpウェル中に形成された第2のpウェル121とその上の第1のnウェル113からなる垂直電荷転送チャンネルと、さらにその上に酸化膜117を介して形成された1層目のポリシリコンからなる垂直抵抗性ゲート103から構成される。トランスファークゲートは、フォトダイオードと垂直電荷転送チャンネル間のpウェル115であり、その上に酸化膜117を介して形成された2層目のポリシリコンからなるトランスファークゲート電極104で制御される。フォトダイオードは、第1のpウェル中に形成された第2のnウェル122とその上のp+チャンネルストップ114と接続されたp+層124で構成される。トランスファークゲート電極104上に酸化膜119を形成した後、アルミニウム等の金属膜で遮光膜116を形成して、光が垂直電荷転送チャンネルに入射することを防止している。フォトダイオードの深さ方向のドーパントの分布を適切にすることで、所望する電圧で完全空乏化し、またpウェルの電位を調整することで以下のように縦型オーバーフローレインを実現できる。光生成した電荷は第2nウェルに形成された電位井戸に第1pウェルに形成される電位障壁まで蓄積される。その障壁の電位をトランスファークゲートのオフ電位よりも高くして、過剰に光生成した電荷は電位障壁を越えて基板のnシリコンに流れ、素子の外に掃き出す。

【0020】図3は垂直抵抗性ゲート電荷転送素子を説明するための、図1中のB-B'断面図である。n型シリコン123中に第1のpウェル115、第2のpウェル121、第1のnウェル113を形成し、その上に酸化膜117を介して1層目のポリシリコンからなる蓄積ゲート109及び水平CCD電極125、さらに酸化膜118を介して2層目のポリシリコンからなる垂直抵抗性ゲート103及び垂直最終ゲート110を形成する。垂直抵抗性ゲートの両端には電位パルスφRG1及びφRG2を与える手段を有する。垂直抵抗性ゲートに電位差を与えることを考えると、その抵抗が大きい方が消費電流が小さくなるが、その電位をパルスで与えることを考えると抵抗が大きいと応答速度が大きくなる。したがって、駆動波形に最適な抵抗値が存在する。垂直抵抗性ゲートの消費電流と応答速度の一例を以下に示す。垂直抵抗性ゲート電極をポリシリコンで形成する場合、リン拡散等の手法によって抵抗率 $2\text{ m}\Omega \cdot \text{cm}$ 程度を得ることができる。幅 $1\text{ }\mu\text{m}$ 、長さ 4 mm 、厚さ $0.4\text{ }\mu\text{m}$ の寸法の垂直抵抗性ゲートの抵抗は $200\text{ k}\Omega$ であり、1

0Vの電位差で1つ当たり $50\text{ }\mu\text{A}$ の電流が流れる。ゲート酸化膜厚を 70 nm とすると、垂直抵抗性ゲートの容量は約 2 pF である。したがって、時定数は約 $0.4\text{ }\mu\text{s}$ で、パルスの立ち上がり及び立ち下がり時間は約 $0.9\text{ }\mu\text{s}$ となる。ポリシリコンの寸法や抵抗率、ゲート絶縁膜の種類や膜厚等を変化させることで、約 $6\sim 11\text{ }\mu\text{S}$ の水平帰線期間内の駆動波形に最適な値を設計することができる。

【0021】図4は本発明の一実施例の固体撮像素子の駆動方法を説明するための図である。垂直抵抗性ゲートの両端に印加するパルスの内、水平CCDから遠い方をφRG1、近い方をφRG2、あるフォトダイオード行のトランスファークゲート電極に印加するパルスをφTr、蓄積ゲート及び垂直最終ゲートに印加するパルスを、それぞれφSTG及びφVLGとする。垂直電荷転送チャンネルと接続されている、水平CCDの電極に印加するパルスをφHとする。上記各パルスは高電位と低電位の2値パルスであり、それぞれの電位をVHおよびVLと電極名で表わしている。φRG1の高電位VH、RG1は、φRG2の低電位VL、RG2よりも低電位となっている。それ以外のパルスの電位は以下で説明する駆動方法で、電荷の蓄積及び移動が可能な電位に設定される。その値は電極下の不純物分布に依存する。また図5は図4の時刻T2、T4、T6及び期間T7での、図3に示した断面のチャンネル電位分布図である。

【0022】まず期間T1でφVLGを高電位VH、VLGを印加して垂直最終ゲートをオンし、φSTGに低電位VL、STGを印加して蓄積ゲートの電位を低くすることで、前の水平帰線期間で読み出され蓄積ゲートに蓄積されている、前のフォトダイオード行の信号電荷を水平CCDに転送する。次に時刻T2でφRG1を高電位VH、RG1とし、水平CCDから遠い垂直電荷転送チャンネルのチャンネル電位を、オン時のトランスファークゲートの電位よりも高くするとともにφRG2を高電位VH、RG2とする。VH、RG1はVH、RG2よりも低電位であるので、図5に示すように時刻T2で垂直電荷転送チャンネルのチャンネル電位が傾斜する。期間T3でφTrが印加されるあるフォトダイオード行のトランスファークゲートをオンして、このフォトダイオード行に蓄積された信号電荷を、対応する垂直電荷転送チャンネルに読み出す。時刻T4にφRG1を低電位VL、RG1とし、水平CCDから遠い垂直電荷転送チャンネルのチャンネル電位を、時刻T2の時よりも低くオフ時のトランスファークゲートの電位よりも高くする。期間T5で水平CCDを駆動し、前フォトダイオード行の信号電荷を出力へ転送し電圧に変換して出力する。この間、垂直電荷転送チャンネルに読み出された信号電荷は、垂直抵抗性ゲートで形成された電位勾配により蓄積ゲートまで転送される。垂直電荷転送チャンネルの両端のチャンネル電位差は、VH、RG1をVL、RG2よりも低電位にすること

で、 $\phi RG1$ と $\phi RG2$ の振幅の和以上の電位差を印加した時のチャネル電位差となる。時刻T6で $\phi RG2$ を低電位VL、RG2として蓄積ゲートからの障壁を高くし、期間T7で前述した期間T1のように信号電荷を水平CCDへ転送し、時刻T8から水平CCDで出力へ転送される。

【0023】図6は本発明の第2の実施例の固体撮像素子の駆動方法を説明するための図であり、図7は時刻T2、T4及びT6でのチャネル電位の分布を示す図である。この駆動方法を適用する固体撮像素子は第1の実施例と同じ図1に示したものである。図6が図4に示した第1の実施例と異なる点は、時刻T4で $\phi RG2$ を高電位VH、RG2とする点と、VH、RG1とVL、RG2を同電位とする点である。図7に示したように時刻T2でのチャネル電位の分布は垂直電荷転送チャンネルに添って一定である。この状態で、期間T3でフォトダイオードに蓄積された信号電荷を垂直電荷転送チャンネルに読み出す。したがって、画素が縮小されトランスファークゲートの電位が短チャネル効果により、垂直電荷転送チャンネルのチャネル電位の影響を受ける場合でも、その読み出し特性の不均一性を抑制できる。その他の駆動方法は上述した第1の実施例と同様なので省略する。

【0024】図9は本発明の第3の実施例の固体撮像素子の駆動方法を説明するための図であり、図8はその駆動方法を適用する固体撮像素子の概略平面図である。図8に示した固体撮像素子が図1と異なる点は、抵抗性ゲートと蓄積ゲートの間にゲートTGA108を設けた点である。また図9に示した駆動方法が図4と異なる点は、 $\phi RG2$ には常に高電位VH、RG2を与える点と、期間T1に $\phi RG1$ を高電位VH、RG1にするとともにTGAをオフして、期間T2にトランスファークゲートと垂直最終電極をオンするとともに蓄積ゲートをオフする点である。ここでVH、RG2はVH、RG1以上の高電位とする。ゲートTGAにより、垂直電荷転送チャンネルと蓄積ゲートを切り離せるので、フォトダイオードに蓄積された信号電荷を垂直電荷転送チャンネルに読み出す動作と、蓄積ゲートに蓄積された信号電荷を水平CCDに転送する動作を同時に行なうことができる。水平帰線期間の駆動に時間的な余裕ができるので、垂直抵抗性ゲートの時定数を大きくすることができる。このことは、垂直抵抗性ゲートの抵抗を大きくでき、消費電流を小さくできることを意味する。これ以外の動作は図4と同様なので省略する。またこの実施例では、 $\phi RG2$ に常に高電位を与えているが、図4や図6で説明したように $\phi RG2$ にパルス印加して、垂直電荷転送チャンネルを傾斜させるのに必要な電位振幅を $\phi RG1$ と $\phi RG2$ に振り分けて、各パルスの振幅を小さくする駆動方法もある。

【0025】

【発明の効果】以上に説明したように本発明による固体

撮像素子の駆動方法によれば、垂直抵抗性ゲート電荷転送素子で信号電荷を転送する時に、水平レジスタから遠い端部の垂直電荷転送チャンネルのチャネル電位を、信号電荷を読み出す時よりも低くできるので、蓄積ゲートや水平レジスタ電極の駆動振幅を大きくすることなく、出力のリセットドレイン電圧を低くできる。一方、出力のリセットドレイン電圧及び蓄積ゲートや水平レジスタ電極の駆動振幅を一定とした時には、垂直抵抗性ゲート電荷転送素子の電荷転送チャンネルの勾配を大きくすることができる。これにより垂直抵抗性ゲート電荷転送素子での信号電荷の転送時間を縮められるので、より高いフレームレートで駆動することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の駆動方法を適用する、固体撮像素子の概略平面図である。

【図2】図1のA-A'断面を示す図である。

【図3】図1のB-B'断面を示す図である。

【図4】本発明の第1の実施例の駆動方法を示す図である。

【図5】図4の時刻T2、T4、T6及びT7の時の図3に示したB-B'断面のチャネル電位分布を示す図である。

【図6】本発明の第2の実施例の駆動方法を示す図である。

【図7】図6の時刻T2、T4及びT6の時の図3に示したB-B'断面のチャネル電位分布を示す図である。

【図8】本発明の第3の実施例の駆動方法を適用する、固体撮像素子の概略平面図である。

【図9】本発明の第3の実施例の駆動方法を示す図である。

【図10】従来の固体撮像素子の概略平面図である。

【図11】従来の固体撮像素子の単位画素付近を示す平面図である。

【図12】図11のD-D'断面図である。

【図13】(a)は図10のC-C'断面図であり、(b)はその断面でのチャネル電位分布を示す図である。

【図14】従来の固体撮像素子の駆動方法を示す図である。

【符号の説明】

- 1、101 フォトダイオード
- 2、102 電荷転送チャンネル
- 3、103 垂直抵抗性ゲート
- 4 蓄積電極
- 5、105 垂直レジスタ
- 6 ブルーミング抑制ドレイン
- 7 ブルーミング抑制ゲート
- 8、108 ゲートTGA
- 9、109 蓄積ゲート
- 10 ゲートTGB

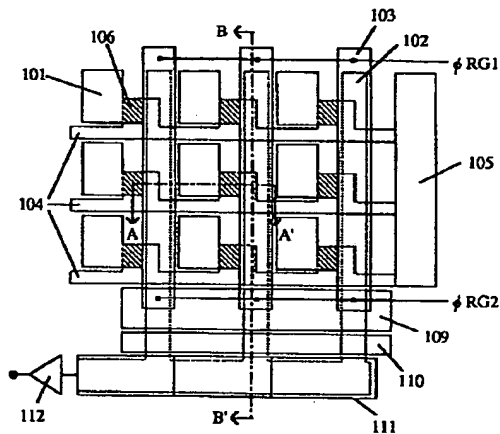
11

12

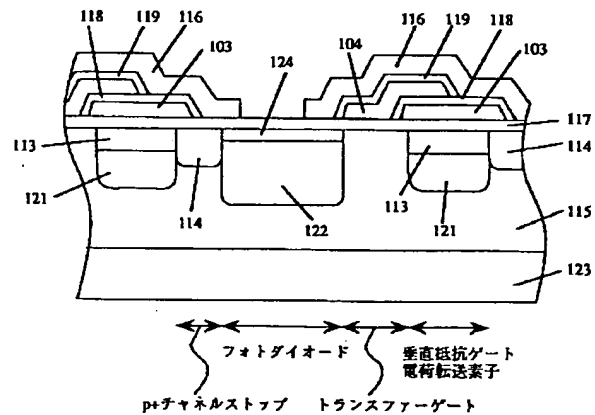
- 11、111 水平CCD
 12、112 出力
 13 nウェル
 14、114 p+チャネルストップ
 15 p型シリコン
 16、116 遮光膜
 17、18、19、117、118、119 酸化膜
 20、21 電荷の流れを示す矢印
 25 水平CCD電極
 104 トランスファークゲート電極

- 106 トランスファークゲート
 110 垂直最終ゲート
 113 第1のnウェル
 115 第1のpウェル
 121 第2のpウェル
 122 第2のnウェル
 123 n型シリコン
 124 p+層
 125 水平CCD電極

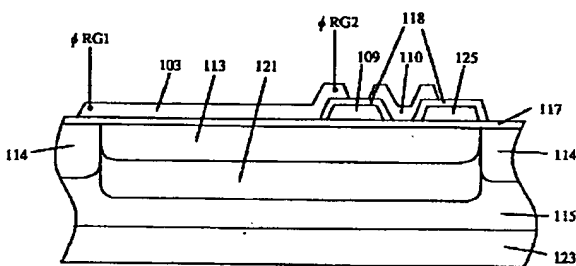
【図1】



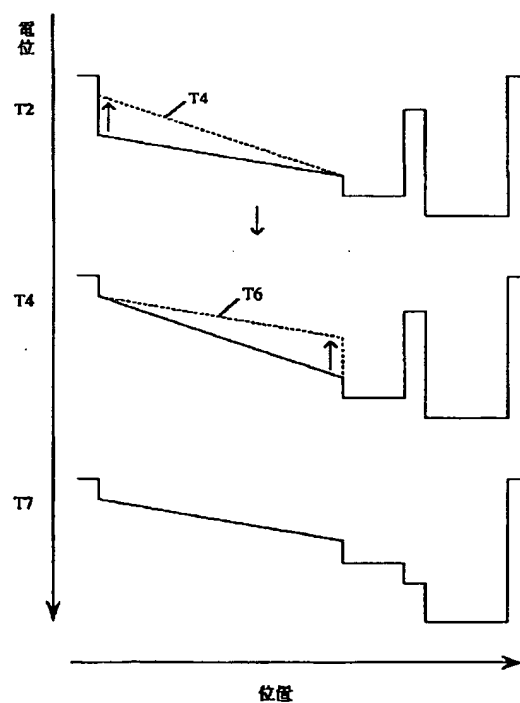
【図2】



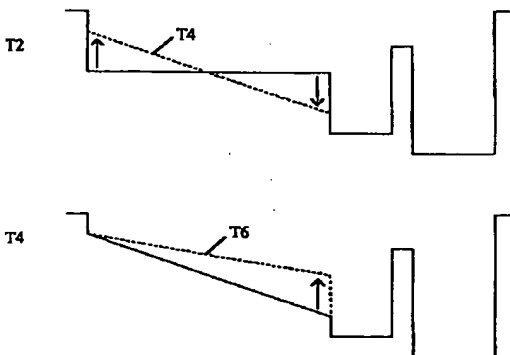
【図3】



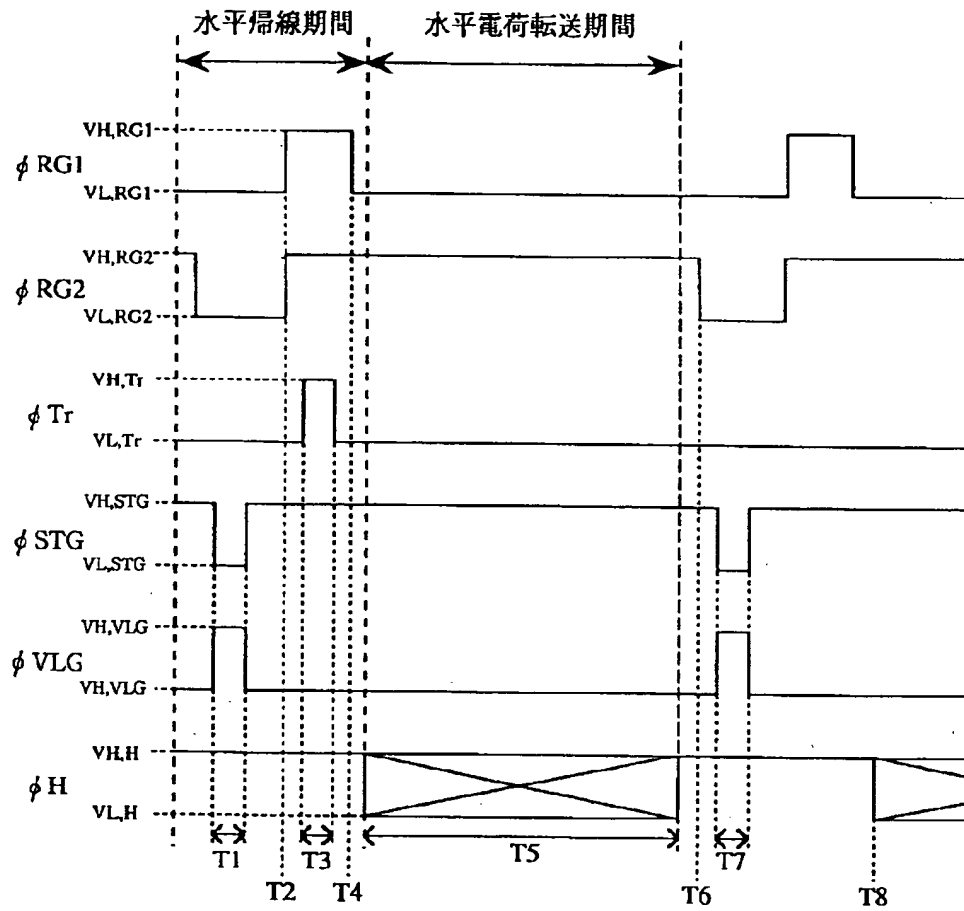
【図5】



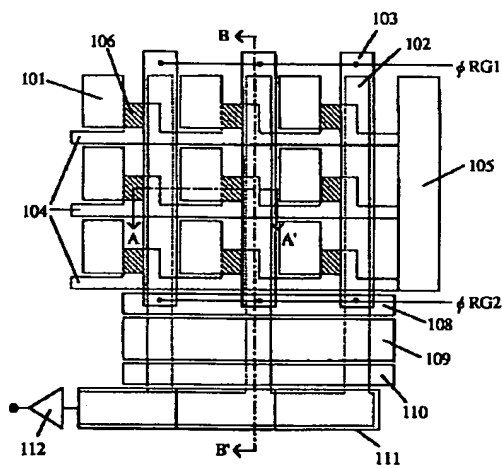
【図7】



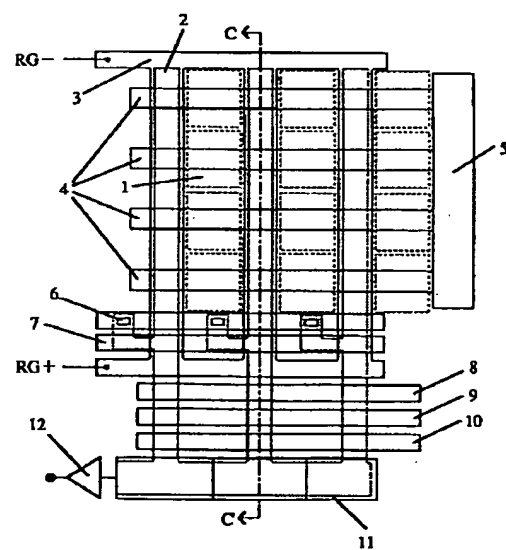
【図4】



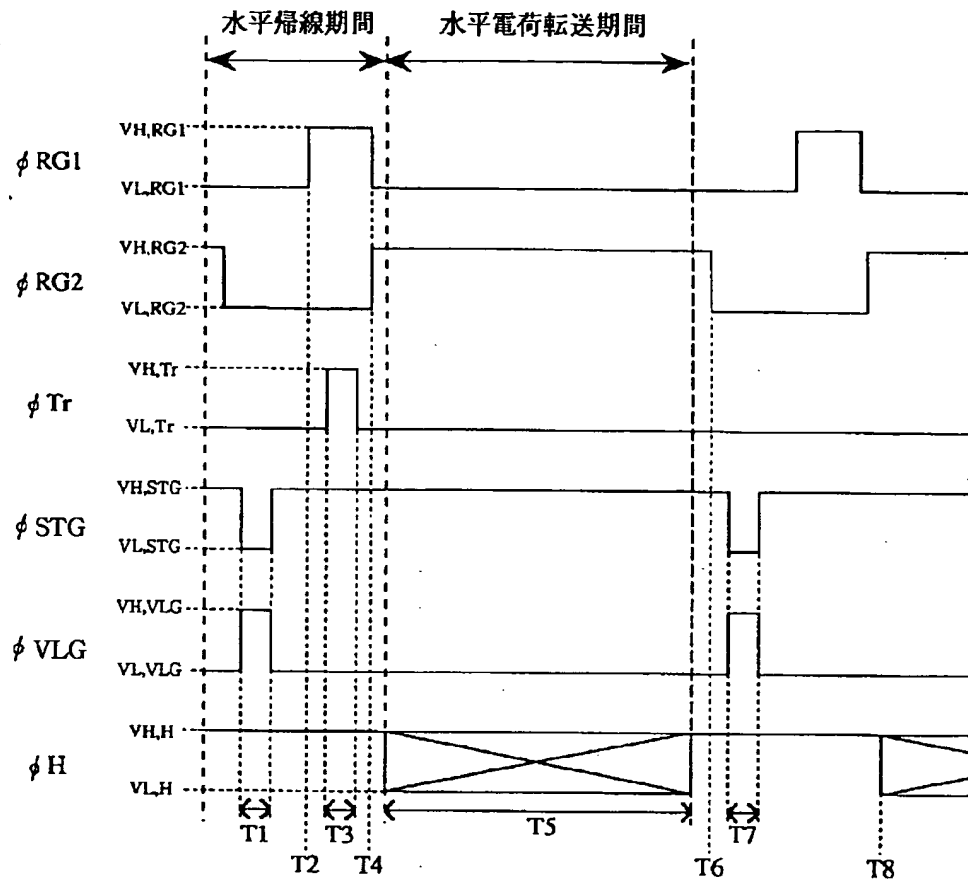
【図8】



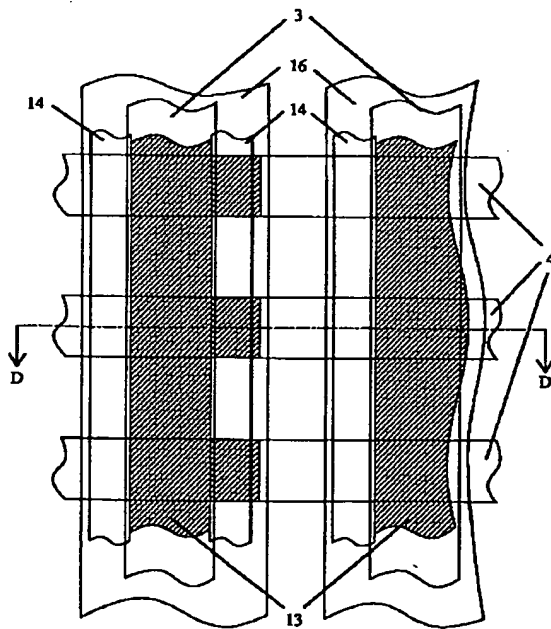
【図10】



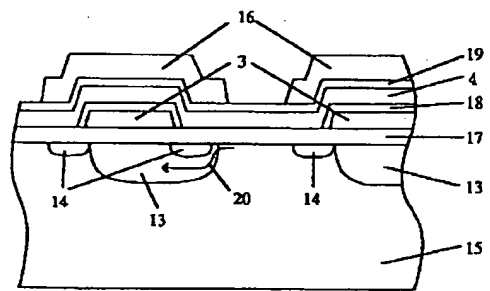
【図6】



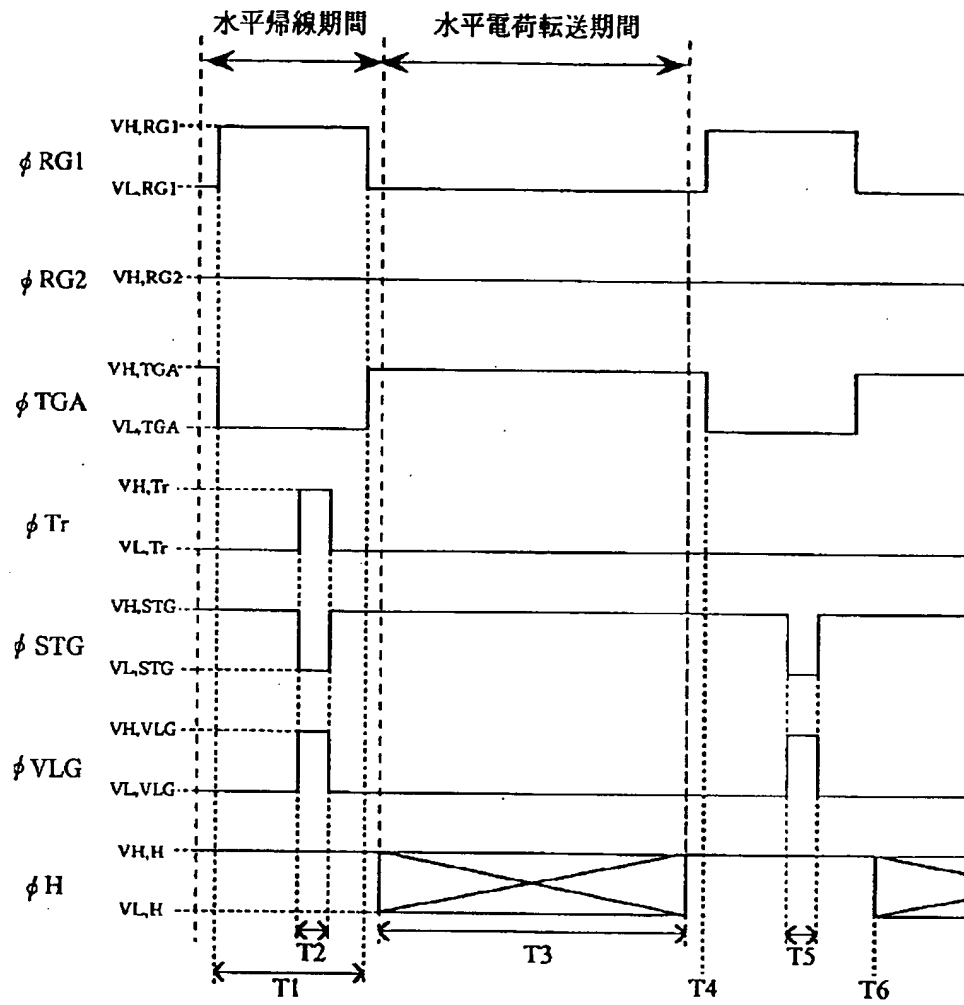
【図11】



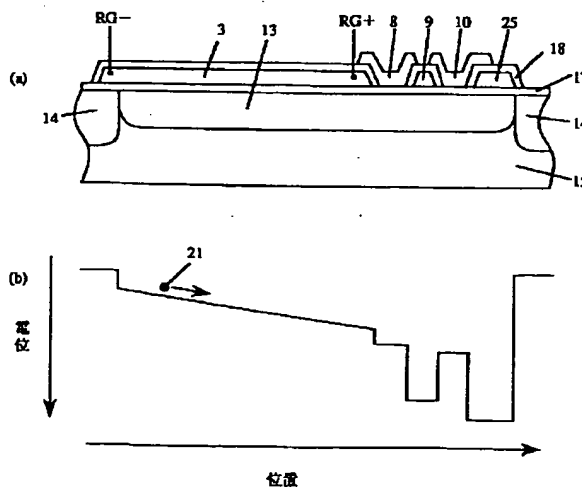
【図12】



【図9】



【図13】



【図 14】

